

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

## ⑫ 公開特許公報(A)

昭61-156839

⑤ Int.Cl.<sup>4</sup>  
H 01 L 23/00識別記号  
庁内整理番号  
6835-5F

⑬ 公開 昭和61年(1986)7月16日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭59-276777

⑯ 出 願 昭59(1984)12月28日

⑰ 発 明 者 半 谷 公 弘 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

ウエハを個々に分割したチップを外装容器内に組立てた半導体装置において、前記ウエハ上のチップ位置座標に対応する表示マークを前記外装容器上に設けたことを特徴とする半導体装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、ウエハを個々に分割したチップが外装容器内に組立てられた半導体装置に関し、さらに詳述すればウエハ上のチップ座標に対応する表示マークを外装容器上に施した半導体装置に関するものである。

## 〔従来の技術〕

半導体装置は、半導体ウエハに半導体装置の中枢機能をはたすチップを形成するウエハプロセスと、当該チップ1個を部品として外装容器に組立てる組立プロセスと、組立の完了した当該装置の

テスト、分類、品質保証を行うテスト工程を経て製作されている。第2図はウエハプロセスの完了した段階のウエハ1と、その上に整然と形成されたチップ2を示している。また、第3図は第2図のチップ群の中から1個のチップ2を使用して外装容器としてのパッケージ3内に組立てた半導体装置4を示している。なお、第2図中、5はリード導体、6はこの各リード導体6とチップ2の各電極とを接続する配線ワイヤである。

## 〔発明が解決しようとする問題点〕

ところで、通常、半導体装置の製造工程においては、ウエハプロセスの完了後各チップの電気特性がテストされ、設定された基準に合格するチップのみが組立てられている。しかし、ウエハプロセス完了段階でのテストで合格となつたチップが使用されて組立てられた半導体装置でも組立て段階での特性変化、組立て工程での欠陥の発生、ウエハ段階では十分なテストができにくい等の問題があり、最終工程で再度テストを行なっている実情である。

本発明は、このような事情に鑑みてなされたもので、半導体装置の製造プロセス特にウエハプロセスの有効な手がかりを与えることのできる半導体装置を提供するものである。

〔問題点を解決するための手段〕

本発明による半導体装置は、ウエハ上に形成されるチップ群の座標に対応する表示を外装容器上に施したことを特徴とするものである。

〔作用〕

本発明においては、半導体装置の最終的な特性をウエハ上のチップ座標にフィードバックでき、ウエハ面上の特性分布図等として利用することにより、ウエハプロセスの制御の精度の良し悪しや問題点の抽出、特性改善等の目的に有効な手がかりを与えることが可能になる。

〔実施例〕

以下、本発明を図面に示す実施例に基づいて説明する。

第1図は本発明の一実施例による半導体装置の平面図である。この実施例では、ウエハプロセス

う必要があり、多量を行うのは極めて困難である。上記した本発明を適用すれば、第1図のabで例示した表示マーク8でもって簡単にウエハ1上のチップ座標に展開しなすことができ、量産を進めながら特に余分な手間をかけることなくデータ蓄積が可能となる。また、第1図のabなる表示は自動的に当該表示マーク8を読み取る装置を追加すれば、ほぼ完全自動の形で半導体装置の最終特性や必要な段階での特性をウエハ上のチップ座標にフィードバック可能となる。

なお、上記実施例では1ウエハ上のチップ座標につき説明したが、複数のウエハが存在するときはウエハ間の区分をするための表示を追加することも可能である。

さらに、組立プロセス以降の加工要素を新たに加えてこれをabcなどと表示することも可能で、情報集収機能はいくらでも拡大できる。

〔発明の効果〕

以上のように、本発明によれば、半導体装置上に施された表示から半導体装置の量産を実行しつ

の完了した第2図に示すウエハ1を個々のチップ2に分割すべき水平および垂直方向の分割ライン11, 12をそれぞれ座標軸とし、この任意のXY座標7に位置するチップ2をパッケージ3内に組立てたうえ、このパッケージ3上に、第1図に示すごとくabなる表示マーク8を上記座標7のXY値に対する表示として設けたものである。

ここで、かかる表示を具体的にを行う手段としては、ウエハ1を個々のチップ2に分割し、そのチップを順次組立てに供して行く段階においてウエハ1上のチップ2のXY座標値と組立てに供された順序を制御装置に記憶せしめ、半導体装置形成の最終段階でこの制御装置内に記憶された上記内容を引き出し、abなる表示を行なわせることが考えられる。

しかして、組立プロセス、テストプロセスは、通常、半導体装置は多数個で構成されるロット単位に扱われて加工が進捗される。このため、ウエハ上のチップ座標は乱れてしまう。対応をつけようとすると、慎重でばり大な実験手法をもつて行

つウエハ上のチップ座標対応に特性がフィードバックでき、これ等のフィードバックされる多量の有効データを分析、解析、整理することにより、半導体装置の歩留、品質、特性の向上ならびに改善が可能になる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例による半導体装置の平面図、第2図はチップ形成が完了した通常のウエハの平面図、第3図は同じく通常の半導体装置の一部切欠斜視図である。

1・・・ウエハ、2・・・チップ、3・・・パッケージ、4・・・半導体装置、5・・・リード導体、6・・・配線ワイヤ、7・・・ウエハ上のチップ座標、8・・・表示マーク。

代 理 人 大 岩 増 雄

手続補正書(自発)

昭和 60 年 5 月 20 日



特許庁長官殿

1. 事件の表示 特願昭 59-276777号

2. 発明の名称

半 導 体 装 置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社  
代表者 片 山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375) 弁理士 大 岩 増 雄  
(連絡先 03(213)3421 特許部)



5. 補正の対象

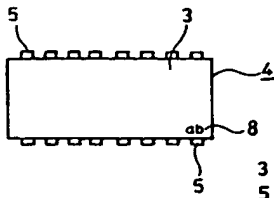
明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書2頁7行の「第2図中」を「第3図中」と補正する。

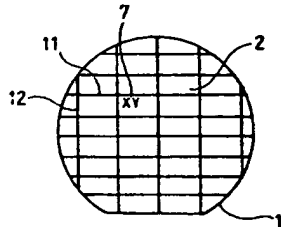


第 1 図



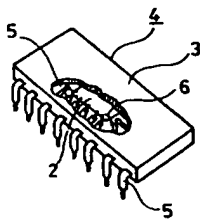
3 : パッケージ  
5 : リード導体  
8 : 窓マーフ

第 2 図



1 : クエハ  
2 : ケーフ  
7 : ケーフ層理

第 3 図



(2) 同書同頁8行の「リード導体6」を「リード導体5」と補正する。

以 上